

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2001-516916

(P2001-516916A)

(43) 公表日 平成13年10月2日 (2001.10.2)

(51) IntCl.⁷G 0 6 F 9/30
9/305

識別記号

3 7 0

F I

G 0 6 F 9/30

テマコード* (参考)

3 7 0 5 B 0 3 3
3 4 0 E

審査請求 未請求 予備審査請求 有 (全 47 頁)

(21) 出願番号 特願2000-512132(P2000-512132)
 (86) (22) 出願日 平成10年9月4日(1998.9.4)
 (85) 翻訳文提出日 平成12年3月13日(2000.3.13)
 (86) 国際出願番号 PCT/US98/18574
 (87) 国際公開番号 WO99/14663
 (87) 国際公開日 平成11年3月25日(1999.3.25)
 (31) 優先権主張番号 08/928, 764
 (32) 優先日 平成9年9月12日(1997.9.12)
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), IL, JP, KR

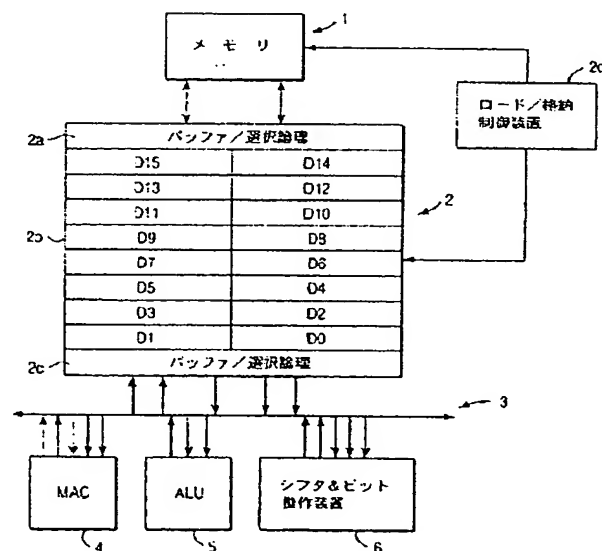
(71) 出願人 インフィニオン テクノロジーズ ノース
 アメリカ コーポレイション
 Infineon Technologies North America Corp
 アメリカ合衆国 カリフォルニア サン
 ホセ ノース ファースト ストリート
 1730
 (72) 発明者 ロッド ジー フレック
 アメリカ合衆国 カリフォルニア マウン
 テン ヴュー アリソン アヴェニュー
 1510
 (74) 代理人 弁理士 矢野 敏雄 (外3名)

最終頁に続く

(54) 【発明の名称】 デジタル信号処理能力を有するデータ処理装置

(57) 【要約】

本発明によるデータ処理装置は、レジスタファイルと、該レジスタファイルに接続されているレジスタロードおよび格納バッファと、単一メモリと、バスとを有するようにして達成され、バスは少なくとも第1および第2ワードラインを備えておりダブルワード幅バスを形成し、前記レジスタロードおよび格納バッファを前記メモリと接続している。レジスタファイルは少なくとも2つのレジスタのセットを有しており、それにより第1のレジスタのセットはワードラインの1つと接続することができ、かつ第2のレジスタのセットはそれぞれの他のワードラインと接続することができる。データ処理装置はロードおよび格納制御装置とを有しており、前記メモリから、または前記メモリへデータを転送する。



【特許請求の範囲】

【請求項1】 データ処理装置において、
レジスタファイルと、
該レジスタファイルに接続されているレジスタロードおよび格納バッファと、
メモリと、
バスと、
接続手段と、
ロードおよび格納制御装置とを有し、
前記バスは少なくとも第1および第2ワードラインを備えておりダブルワード幅バスを形成し、該バスは前記レジスタロードおよび格納バッファを前記メモリと接続し、
前記レジスタファイル少なくとも2つのレジスタのセットを備えており、
前記接続手段により、第1のレジスタのセットは前記ワードラインの1つと接続することができ、かつ第2のレジスタのセットは他のワードラインそれぞれと接続することができ、
前記ロードおよび格納制御装置は、前記メモリから、または前記メモリへデータを転送する、
ことを特徴とするデータ処理装置。

【請求項2】 前記ロードおよび格納制御装置は、2つの連続するワードを前記メモリから前記第1および第2のレジスタのセットへ、または前記メモリへ前記第1および第2のレジスタのセットから、並列にロードまたは格納する手段を備えている、請求項1記載のデータ処理装置。

【請求項3】 前記ロードおよび格納制御装置は、前記メモリから1ワードをロードし、該ワードを2つのハーフワードに分割する手段を備えており、
前記2つのハーフワードは前記第1のレジスタのセットからの第1レジスタ、および前記第2のレジスタのセットからの第2レジスタに格納されている、請求項1記載のデータ処理装置。

【請求項4】 前記ロードおよび格納制御装置は、
ロードし、連結し、格納する手段を備えており、

当該ロード手段は、前記第1のレジスタのセットからの第1レジスタからの第1のハーフワード、前記第2のレジスタのセットからの第2レジスタからの第2のハーフワードをロードし、

当該連結手段は、両方のハーフワードを単一のワードに連結し、

当該格納手段は、前記ワードをデータバスを介して前記メモリに格納する、請求項1記載のデータ処理装置。

【請求項5】 前記ロードおよび格納制御装置は、

前記ハーフワードをレジスタの半分の一方にロードする手段と、

該レジスタの他の半分をゼロで埋める手段とをさらに有する、請求項3記載のデータ処理装置。

【請求項6】 前記ロードおよび格納制御装置は、

前記ハーフワードをレジスタの下位半分にロードする手段と、

レジスタの上位半분을符号充填する手段とをさらに有する、請求項3記載のデータ処理装置。

【請求項7】 前記レジスタファイルに接続されている飽和装置をさらに有し、

これにより、所定のレジスタ長を有するレジスタのコンテンツを、所定のデータ長により定義された最大値に制限し、

前記所定のデータ長は前記レジスタ長よりも短い、請求項1記載のデータ処理装置。

【請求項8】 前記レジスタファイルに接続されている算術演算装置をさらに有し、

該算術演算装置は複数の同等な算術演算器を有し、

各レジスタは複数のデータバイトを有し、

各算術演算器は前記レジスタの前記データバイトの1つにより供給される、請求項1記載のデータ処理装置。

【請求項9】 前記レジスタファイルに接続されている算術演算装置をさらに有し、

該算術演算装置は少なくとも2つの同等な算術演算器を有し、

各レジスタは少なくとも2つのデータハーフワードを有し、
各算術演算器は前記レジスタの前記データハーフワードの1つにより供給される、請求項1記載のデータ処理装置。

【請求項10】 前記レジスタファイルに接続されている論理演算装置をさらに有し、

該論理演算装置は複数の同等な論理演算器を有し、

各レジスタは複数のデータバイトを有し、

各論理演算器は前記レジスタの前記データバイトの1つにより供給される、請求項1記載のデータ処理装置。

【請求項11】 前記レジスタファイルに接続されている論理演算装置をさらに有し、

該論理演算装置は少なくとも2つの同等な論理演算器を有し、

各レジスタは少なくとも2つのデータハーフワードを有し、

各論理演算器は前記レジスタの前記データハーフワードの1つにより供給される、請求項1記載のデータ処理装置。

【請求項12】 前記レジスタファイルに接続されている積和演算装置をさらに有し、

前記積和演算装置は少なくとも2つの乗算演算器を有し、

前記レジスタは少なくとも2つのデータハーフワードを有し、

第1乗算演算器は第1レジスタの第1ハーフワードおよび第2レジスタの第1ハーフワードから供給され、

第2乗算演算器は第1レジスタの第2ハーフワードおよび第2レジスタの第2ハーフワードから供給される、請求項1記載のデータ処理装置。

【請求項13】 前記バスは、複数ワード幅バスを形成するために複数のワードラインのセットを有し、

前記レジスタファイルは複数のレジスタのセットを有し、

各レジスタのセットは前記ワードラインのセットの1つに接続されており、整列された、および整列されていない複数ワードアクセスを可能にする、請求項1記載のデータ処理装置。

【請求項14】 循環バッファを定義する手段をさらに有し、

該手段はバッファ基底アドレスおよびバッファエンドアドレスを前記メモリ内に有する、請求項1記載のデータ処理装置。

【請求項15】 複数ワードにアクセスする手段をさらに有し、

当該複数ワードは、部分的にバッファエンドアドレスに格納され、部分的にバッファ基底アドレスに格納されている、請求項14記載のデータ処理装置。

【請求項16】 バッファアドレスおよびバッファエンドアドレスはアドレスレジスタに格納されている、請求項14記載のデータ処理装置。

【請求項17】 ビット反転アドレッシング手段をさらに有し、

該手段は基底アドレス、変更子およびインデックス用の記憶手段を備え、

前記ビット反転アドレッシング手段は、ビット反転装置へインデックスを供給する手段をさらに有し、

前記ビット反転装置の結果は加算手段へ供給され、

該加算手段は供給された結果を基底アドレスに加算して、メモリおよび各アクセス後に変更子をインデックスに加算する手段をアドレスする、請求項1記載のデータ処理装置。

【請求項18】 記憶手段はアドレスレジスタである、請求項17記載のデータ処理装置。

【請求項19】 前記ロードおよび格納制御手段は、1ワードを前記メモリからロードし、該ワードを複数の部分ワードに分割する手段を有し、

各部分ワードはそれぞれ、各レジスタのセットの前記レジスタの1つに格納されている、請求項1記載のデータ処理装置。

【発明の詳細な説明】

【0001】

発明の背景

本発明はデータ処理装置に関し、より詳細には、マイクロコンピュータまたはマイクロコントローラのような中央演算処理装置（CPU）に関する。マイクロコントローラは当分野で公知であり、ローエンドデバイス（例えば4／8ビットコントローラ）からハイエンドデバイス（例えば32ビットコントローラ）まで、バラエティーに富んだデバイスを入手できる。一般的にマイクロプロセサは2つのグループに分けられる。すなわち複合命令セット・コンピュータ（CISC）または縮小命令セット・コンピュータ（RISC）のような汎用プロセサ、およびデジタル信号処理プロセサ（DSP）のような特殊用途のために設計された専用マイクロプロセサである。

【0002】

RISCおよびCISCプロセサは通常、複数のレジスタまたはレジスタファイル、ならびに任意の種類およびサイズの単一メモリを備えたプロセサであり、従って任意の種類のデータを処理するように設計されている。RISCおよびCISCプロセサは拡張に対する制限はないが、DSPプロセサが有するプロセシングの高速性を欠く。

【0003】

DSPプロセサは通常、アキュムレータおよびサイズが制限された専用メモリを有する。これらはデータを非常に高速かつ高精度に計算するように、例えばサンプルされた信号を処理するように設計されている。メモリはたいていXメモリとYメモリとに分割されており、2つの異なるデータに1回のサイクルでアクセスできるようになっている。これは完全な非直交演算（non orthogonal operations）を生じさせ、アドレッシングモードに厳しい制約を加える結果となり、そのようなメモリモデルはコンパイラフレンドリではあり得ない。特定のデータが「間違った」メモリ内にある場合、そのデータをXメモリからYメモリへ、またはその逆向きにロードしなくてはならない。レジスタファイルがないことも、そのようなプロセサを”C”でプログラムすることを困難にしている。さらに、狭

い固定された命令幅も、そのようなアーキテクチャの拡張を不可能にする。

【0004】

他のシステムでは、動作速度を上げるためにコ・プロセサを使用している。コ・プロセサは主中央演算処理装置（CPU）のどのレジスタも共有しない。従ってCPUはコ・プロセサのレジスタをロードしなくてはならず、それにより動作速度が大幅に下がり、レジスタの使用が制限される。

【0005】

発明の概略

従って本発明の目的は、DSPフィーチャを有し、かつコ・プロセサなしにCISCおよびRISCプロセッサの汎用性を有するデータプロセッサを提供することである。

【0006】

前記目的は、データ処理装置において、レジスタファイルと、該レジスタファイルに接続されているレジスタロードおよび格納バッファと、単一メモリと、バスとを有するようにして達成され、バスは少なくとも第1および第2ワードラインを備えておりダブルワード幅バスを形成し、前記レジスタロードおよび格納バッファを前記メモリと接続している。レジスタファイルは少なくとも2つのレジスタのセットを有しており、それにより第1のレジスタのセットはワードラインの1つと接続することができ、かつ第2のレジスタのセットはそれぞれの他のワードラインと接続することができる。データ処理装置はロードおよび格納制御装置とを有しており、前記メモリから、または前記メモリへデータを転送する。

【0007】

実施例の1つでは、ロードおよび格納制御装置は、2つの連続するワードをメモリから第1および第2のレジスタのセットへ、またはメモリへ第1および第2のレジスタのセットから、並列にロードまたは格納する手段を備えている。別の実施例では、メモリからの1ワードを2つのハーフワードに分割することができ、そしてハーフワードは、第1のレジスタのセットからの第1レジスタ、および第2のレジスタのセットからの第2レジスタに格納される。ハーフワードはレジスタの半分的一方に格納され、レジスタの他の半分はゼロで埋められるか、符号

充填 (sign fill) される。

【0008】

別の実施例では、バスは、複数ワード幅バスを形成するために複数のワードラインを有し、レジスタファイルは複数のレジスタのセットを有し、これにより各レジスタのセットは前記ワードラインのセットの1つに接続されている。例えば、64ビットデータ処理装置においては、2つの32ビットハーフワードまたは4つの16ビットクォータワードに、1つのサイクル中にアクセスすることができる。従って、データ処理装置のロードおよび格納制御装置は、複数の連続するワードをメモリから複数のレジスタのセットへ、またはメモリへ複数のレジスタのセットから、並列にロードまたは格納する手段を備えている。この手段により、任意のレジスタのセットの任意のレジスタを、メモリ内の任意の記憶位置に接続することが可能になる。

【0009】

別の実施例では、データ処理装置のロードおよび格納制御装置は、メモリから1ワードをロードし、複数の部分ワードに分割する手段を有することができる。各部分ワードはそれぞれ、各レジスタのセットのレジスタの1つに格納される。

【0010】

本発明によるデータ処理装置には、データおよびアドレスレジスタを有する標準的なレジスタファイルを使用することによる利点がある。従ってアドレスレジスタを、例えば無制限のスタックサイズを可能にするスタックポインタとして使用することができ、それによりデジタル信号処理プロセサはたいてい、サイズが制限されたハードウェアスタックしか備えていない。”C”コードは、容易にマシンコードに翻訳することができ、すべてのレジスタで直交演算が可能になる。デジタル信号処理プロセサにおいて必要であるような、メモリへのアキュムレータの定常的な動作は必要でない。レジスタを再使用することができるので、結果的に消費電力を低減させることにもなる。

【0011】

図の簡単な説明

図1は、本発明による、単一メモリおよびデータ処理装置の実行装置に接続さ

れているレジスタファイルの原理的なブロック回路図である。

【0012】

図2は、レジスタファイルと単一メモリとの間の接続の実施例である。

【0013】

図3は、演算器およびレジスタファイルのレジスタへの演算器のリンクを含む、第1の実施例である。

【0014】

図4は、演算器およびレジスタファイルのレジスタへの演算器のリンクを含む、第2の実施例である。

【0015】

図5は、演算器およびレジスタファイルのレジスタへの演算器のリンクを含む、第1の実施例である。

【0016】

図6は、フラグおよび飽和装置の扱いを示す図である。

【0017】

図7は、循環バッファモードにおけるメモリアクセスを示す図である。

【0018】

図8は、ビット反転アドレスモードを示す図である。

【0019】

図9は、FIRフィルタ機能を実行するためのデータ処理装置の実現例を示す図である。

【0020】

有利な実施例の説明

図1は、レジスタファイル2に接続されているメモリ装置1を含む、原理図である。アプリケーション全体を通してワードは32ビットであり、ハーフワードは16ビットを、そして1バイトは8ビットである。もちろん本発明は32ビットワードを有する実施例に限定されるものではなく、従ってワードは任意のサイズをとることができる。

【0021】

レジスタファイル2とメモリ1を接続するために、バッファ/選択論理2aが設けられている。本実施例では参照番号2bはレジスタを示す。D0からD15までの16のレジスタが設けられており、各レジスタは1ワード分のビット幅を有し、1ワードは例えば32ビットである。レジスタは2つのグループ、偶レジスタおよび奇レジスタにまとめられている。この例ではレジスタはデータレジスタであるが、アドレスレジスタまたはデータレジスタのいずれかとすることができる。第2のレジスタのセットを、同様にしてアドレスレジスタ用に設けることができる。メモリ装置1とバッファ/選択論理2aとの間のバスは64ビット幅であり、そのためメモリ1の2つの連続するワードをアドレスすることができる。レジスタファイル2からメモリ装置1へ、またはこの逆向きの転送の間、ロード/格納制御装置2dはメモリ装置1のアドレス、およびそれぞれのレジスタ2bを選択する。レジスタファイル2は第2のバッファ/選択論理2cをさらに有し、この論理2cは複数の実行装置4、5および6に接続している。第2バスが、バッファ/選択論理2cと実行装置4、5および6との間のリンクとして設けられている。それぞれのバッファ/選択論理2aおよび2cを介して、少なくとも2つのレジスタに同時にアクセスすることができるが、前記少なくとも2つのレジスタは、例えば偶および奇レジスタの各グループ内に1つずつ存在する。

【0022】

図2に、レジスタ2bとメモリ1との間のコネクションをより詳細に示す。メモリ1はダブルワードにまとめられており、連続した2つのワード、例えばワード1eおよびワード1f、またはワード1fおよびワード1gに同時にアクセスできるようになっている。第1のデータ出力ライン1aのセットは本実施例では32ビットを有し、マルチプレクサ/分割装置8に接続されている。装置8はライン1aを、整列装置12または13を介して奇レジスタD1、D3、D5、... D15または偶レジスタD2、D4、D6、... D14のいずれかに接続する。第2のデータ出力ライン1dのセットはマルチプレクサ/分割装置9に接続されている。装置9はライン1dを整列装置13または12を介して偶レジスタD2、D4、D6、... D14または奇レジスタD1、D3、D5、... D15のいずれかに接続する。逆の向きを考えると、奇レジスタD1、D3、D

5、．．． D 1 5 および偶レジスタ D 2、D 4、D 6、．．． D 1 4 はそれぞれ、選択／連結装置 1 1 に接続されており、この装置 1 1 はレジスタグループの 1 つを選択するか、または各レジスタグループのハーフワードを連結してワードにするかの、いずれかを行う。選択または連結されたワードは第 3 のマルチプレクサ 7 に供給されるが、このマルチプレクサはワードを、メモリ 1 に接続している第 1 のデータ入力ライン 1 b のセットまたは第 2 のデータ入力ライン 1 c のセットのいずれかと結合させる。

【0023】

本発明によるデータ処理装置は、2つのデータワードを1サイクルで読み出すことを可能にする特別な命令をサポートする。2つの別個のメモリ装置を有する DSP に対して、本発明によるデータ処理装置は単一メモリ装置を有する。2つのメモリを有する DSP では、データが「間違っ」メモリに格納されている場合、1つのメモリから別のメモリへデータを転送しなければならない。本発明によるデータ処理装置では、その必要はない。2つのデータワードへのアクセスを制限するのは、データワードが連続的なオーダーで格納されていなくてはならない、ということだけである。一方、単一メモリだけを使用することにより、データ処理装置には RISC または CISC プロセッサのすべての利点および汎用性が備わる。従ってデータをメモリ内の任意の記憶位置に格納することができ、これは例えば”C”プログラミングにとって非常に便利である。

【0024】

特別な命令は「レジスタにダブルワードをロード (load double word to a register) 」命令を与える。ダブルワードはメモリからマルチプレクサ装置 8 および 9 に、データ出力ライン 1 a および 1 d を介してロードされる。このモードでは装置 1 2 および 1 3 はマルチプレクサとして動作し、データライン 1 a を奇レジスタまたは偶レジスタと、またデータライン 1 d を偶レジスタまたは奇レジスタとそれぞれ接続する。データ処理装置には特別な選択装置を設けることができ、それによりこの命令内で、各グループ内の任意のレジスタを選択することが可能になる。単純な実施例では1つのレジスタだけを選択し、第2のレジスタは自動的に、選択されたレジスタに隣接するレジスタとなる。例えば、偶レジスタ

D 4が選択されたとすると、それに隣接する奇レジスタはレジスタD 5であり、または奇レジスタD 7が選択されたとすると、それに隣接する偶レジスタはD 6である。メモリ内のダブルワードは例えば、ワード1 e、そしてこれに続くワード1 f、というように、整列されたアドレスにおいて探し出すことができる。または、例えばワード1 fおよびこれに続くワード1 g、というように整列されていないアドレスにおいてアクセスすることができる。マルチプレクサ7、8、9および10はそれぞれのデータを整列させ、そしてそれぞれのレジスタまたはメモリセルに分配する。

【0025】

既に述べたように、本実施例においては、第1のデータ出力ライン1 aにおいて開始するアドレス（整列されている）をもって、または第2のデータ出力ライン1 d（整列されていない）においてメモリをアドレスすることができる。以下では単純な実施例を仮定する。常に連続したアドレスが使用されるため、例えば命令に含まれるソースアドレスが、データ出力ライン1 aをアドレスし、ターゲットとして奇レジスタD 9を指示するならば、メモリセル1 eはライン1 aならびに装置8および12を介してレジスタD 9に接続され、かつ引き続くメモリセル1 fはライン1 dならびに装置9および13を介してレジスタD 8に接続される。命令に含まれるソースアドレスが、データ出力ライン1 dをアドレスし、かつターゲットとして奇レジスタD 9を指示するならば、メモリセル1 fはライン1 dならびに装置9および12を介してレジスタD 9に接続され、かつ引き続くメモリセル1 gはライン1 aならびに装置8および13を介してレジスタD 8に接続される。命令に含まれるソースアドレスが、データ出力ライン1 aをアドレスし、ターゲットとして偶レジスタD 2を指示するならば、メモリセル1 eはライン1 aならびに装置8および13を介してレジスタD 2に接続され、かつメモリセル1 fはライン1 dならびに装置9および12を介してレジスタD 3に接続される。命令に含まれるソースアドレスが、データ出力ライン1 dをアドレスし、ターゲットとして偶レジスタD 2を指示するならば、メモリセル1 fはライン1 dならびに装置9および13を介してレジスタD 2に接続され、かつメモリセル1 gはライン1 dならびに装置9および12を介してレジスタD 3に接続され

る。レジスタを自由に選択できるならば、接続方式はそれに応じて機能する。

【0026】

本発明により実行できる第2の型式の命令は、いわゆる「2つの（パックされた）ハーフワードをロード（load two half-words (packed)）」命令である。この命令では、データライン1aまたは1dいずれかから1つのワードがロードされ、そして装置8または9によりハーフワードに分割され、ワードのそれぞれの下位半分に配置される。オプションとして、装置12および13はそれぞれのハーフワードをワードに符号拡張するか、ゼロ拡張（zero extend）するかのいずれかが可能である。言い換えると、本実施例では16ビットのハーフワードが32ビットに拡張される。装置8または装置9はライン1aまたは1dから受け取ったワードを2つのハーフワードに分割し、それらを装置12および13を介して偶および奇レジスタそれぞれの下位半分へ分配する。装置12および13では、これらのハーフワードをワードに拡張することができ、これは上位半분을ゼロで埋めるか、上位半분을符号拡張するかのいずれかにより行う。ハーフワードの符号が負である場合は、それぞれのレジスタの上位半分は”1”で埋められ、それ以外の場合は”0”で埋められる。装置12および13が停止状態にあるならば、ハーフワードはそれぞれの偶および奇レジスタの下位半分に、上位半分の変更なく格納される。単純化された方式では、最下位メモリハーフワード（least significant memory half-word）は常に偶レジスタに格納され、この偶レジスタに隣接する奇レジスタに最上位ハーフワード（most significant half-word）が格納される。

【0027】

本発明により実行できる第3の型式の命令は、いわゆる「符号付きフラクションを2つロード（load two signed fractions）」命令である。この命令では、データライン1aまたは1dいずれかからワードがロードされ、装置8または9によりハーフワードに分割され、それぞれのワードの上位半分に配置される。オプションとして、装置12および13はそれぞれのハーフワードをワードにゼロ拡張することができる。装置8または装置9は、ライン1aまたは1dから受け取ったワードを分割して、元のワードの上位および下位半分を表す2つのハー

フワードにし、装置12および13を介して偶および奇レジスタそれぞれの上位半分に分配する。装置12および13ではハーフワードを1ワードに拡張することができるが、これは下位半分を”0”で埋めることにより行う。装置12および13が停止状態にあるならば、ハーフワードはそれぞれの偶および奇レジスタの上位半分に、下位半分の変更なく格納される。単純化された方式では、最下位メモリハーフワードは常に偶レジスタに格納され、この偶レジスタに隣接する奇レジスタに最上位ハーフワードが格納される。

【0028】

本発明により実行できる第4の型式の命令は、いわゆる「2つの（パックされた）ハーフワードをストア（store two half-words(packed)）」命令である。この命令では、偶および奇レジスタの下位ハーフワードは、連結装置11または14のいずれかに供給される。2つのハーフワードは1ワードに結合され、マルチプレクサ7または10、およびデータ入力ライン1bまたは1cのいずれかを介してメモリ装置1に格納される。

【0029】

本発明により実行できる第5の型式の命令は、いわゆる「符号付きフラクションをストア（store signed fractions）」命令である。この命令では、偶および奇レジスタの上位ハーフワードは連結装置11または14のいずれかに供給される。2つのハーフワードは1ワードに結合され、マルチプレクサ7または10、およびデータ入力ライン1bまたは1cのいずれかを介してメモリ装置1に格納される。

【0030】

最後に、本発明により実行できる第6の型式の命令は、いわゆる「データレジスタからのダブルワードをストア（store double word from data registers）」命令である。この命令では、偶および奇レジスタのコンテンツはマルチプレクサ装置7または10のいずれかに供給され、データ入力ライン1bおよび1cを介してメモリ装置に格納される。この命令は上記の「レジスタにダブルワードをロード」命令と同じように機能する。装置7および10はマルチプレクサとして動作し、各レジスタのコンテンツをデータ入力ライン1bまたは1cのいずれ

かに分配する。装置11および14は停止状態におかれるため、装置7および10それぞれは偶または奇レジスタに格納された全ワードを入力側において受け取る。

【0031】

メモリおよびレジスタファイルを配列する原理は、容易に拡張することができる。例えば4つの異なるレジスタのセットを設けることができ、かつメモリのアドレッシングを4ワード幅バスにより拡張することができ、これにより4つの連続するワードを同時にロードおよび格納することが可能になる。

【0032】

第2のバッファ／選択論理2cを介して、レジスタファイルは複数の実行装置、例えば積和演算器 (multiplier accumulator = MAC)、算術論理演算装置 (ALU)、ファンネル・シフタ (funnel shifter)、ビット操作装置等と接続されている。図3から図5にこれらの装置がどのようにレジスタファイルと接続され、どのように動作するかを示す。

【0033】

図3では、ワードとして32ビットを有する2つのレジスタ17および18が、2つの演算装置 (operator units) 15および16接続されている。これらの演算装置は同一であり、実行装置それぞれにより与えられる任意の機能を実行することができる。例えば、これらの演算装置は加算器であっても、乗算器、シフタであってもよく、比較器、AND/OR演算器 (operator) 等のような任意の論理装置であってもよい。入力として、各演算器はハーフワードを受け取るが、この例ではハーフワードは16ビット幅である。従って、レジスタ17の上位半分は演算装置15の第1入力側と接続され、レジスタ17の下位半分は演算装置16の第1入力側と接続されている。一方、レジスタ18の上位半分は演算装置15の第2入力側と接続され、レジスタ18の下位半分は演算装置16の第2入力側と接続されている。演算装置は少なくともハーフワード幅の出力側を有する。演算装置15の出力側は第3レジスタ19の上位半分と接続され、演算装置16の出力側はレジスタ19の下位ハーフワードと接続されている。

【0034】

図4に、第2の型式のパックされた算術または論理演算を示す。3つのレジスタ20、25および26は4つのパートに分けられている。本実施例では、各パートは8ビットを含む。4つの演算装置21、22、23、および24が備えられており、レジスタ20、25および26の各8ビットのパートに関連づけられている。レジスタ20および25の4つのパートは、各演算装置21、22、23、および24に入力値を供給するが、各演算装置21、22、23、および24の出力信号はレジスタ26のそれぞれのパートに供給される。

【0035】

図5に、図3による実施例を示す。ここで各演算装置は乗算器29および30である。乗算器29および30は例えば、得られる結果が32ビットである16ビット乗算器でよい。各結果の上位ハーフワードは、結果レジスタ19に供給される。

【0036】

レジスタはすべてレジスタファイルの一部であり、任意の偶または奇レジスタに割り振ることができる。すべての3つのレジスタを、単一のレジスタに割り振ることもできる。図1に示すバス3およびそれぞれの入力および出力ラインは、それぞれの実行装置4、5、および6に、それぞれの入力および出力データを供給するために必要である。

【0037】

この、いわゆるパックされた算術または論理演算命令は、本実施例では32ビットワードを複数の同一のオブジェクトに分け、次にこのオブジェクトは並列に取り出され、格納され、そして演算を施される。とりわけこれらの命令は、DSPアプリケーションにおいて、本発明によるデータ処理装置の32ビットワードをフルに活用することを可能にする。

【0038】

本実施例では、2つのパックされたフォーマットを実現することができる。第1のフォーマットは32ビットワードを2つの16ビットハーフワード値に分ける。第2のパックされたフォーマットは32ビットワードを4つの8ビット（バイト）値に分ける。

【0039】

データまたはアドレスレジスタへの、パックされた値のロードおよび格納は、上で述べたそれぞれのロードおよび格納命令によりサポートされている。そしてパックされたオブジェクトを、特別なパックされた算術命令のセットにより並列に処理することができるが、算術命令のセットは加算、減算、乗算、除算、等の算術演算を行う。例えば、乗算命令は2つの16ビットの乗算を並列に行う。これを図5に示す。

【0040】

図6に、演算がCPU内の状態標識にどのように影響するのか、そして異なる演算の飽和をどのように達成できるのかを示す。演算器40は結果を任意のレジスタ42に書き込む。比較装置41は演算器による結果を比較し、それぞれのフラグをフラグレジスタ43にセットする。例えば、桁上がりビット、オーバーフロービット、スティッキーオーバーフロービット (sticky overflow bit)、アドバンストオーバーフロービット (advanced overflow bit)、スティッキーアドバンストオーバーフロービット (sticky overflow bit) を他のフラグの他にセットできる。アドバンストオーバーフロービットは、算術命令が「あやうく」オーバーフローを生じさせた場合にセットされ、他のワードに関しては、比較装置は結果レジスタ42のコンテンツを、正および／または負の最大数よりも小さい所定の値と比較する。このフラグは算術命令毎に更新される。スティッキーオーバーフロービットは、オーバーフロービットと並列にセットされる。これら2つのフラグは、それぞれのリセット命令により明示的にリセットされるまで、セットされたままである。

【0041】

加算は、個々のパックされたバイトまたはハーフワードに対して、それぞれの加算命令を使用して行われ、それらを個々のバイトまたはハーフワード内のオーバーフローまたはアンダフローを無視する飽和装置44により拡張することができる。飽和装置44が加算毎に提供する機能は、個々のバイトまたはハーフワードを飽和させて、個々のオーバーフローの正の最大値、または個々のアンダフローの負の最小値にする。例えば比較装置41は、結果レジスタ42のコンテンツを

所定の飽和値と比較することができる。コンテンツが所定の正／負の飽和値よりも大きいならば、この結果は飽和装置44に示され、飽和装置44は結果レジスタ42のコンテンツをそれぞれの正または負の飽和値にセットする。様々な算術命令に対して飽和を提供することができる。

【0042】

多くのDSP関連の演算で、いわゆる循環バッファ (circular buffer) を扱う必要がある。通常、そのようなバッファはポインタによりアドレスされ、ポインタがバッファの終わりに到達する度に、CPUはポインタをバッファの先頭にセットし直してやらなければならない。循環バッファの長さが、いずれの複数の2バイトとも異なっている場合、循環バッファの先頭に切り替えるために、計算を行わなくてはならない。バッファの長さが 2^n であるならば、少なくとも1つのマスキング命令がバッファへのアクセスを制御するために必要である。本発明によるデータ処理装置は、循環バッファアドレッシングをサポートするための特別なメカニズムを提供する。

【0043】

図7に、ダブルワード幅バスを介してレジスタファイル2に接続されているメモリ1を示す。データ処理装置は、基底アドレス31c、バッファ長31aおよびバッファインデックス31bを格納する格納手段を有する。これらのパラメータはアドレスレジスタを有する第2レジスタファイルに格納することができ、それにより基底アドレス31cはアドレスレジスタの1つに格納され、バッファ長31aおよびバッファインデックス31bはそれぞれ第2アドレスレジスタの上位および下位部分に格納される。

【0044】

循環バッファ制御装置32はレジスタ31a、31b、および31cと接続されている。循環バッファに対するロード／格納制御装置33は、制御装置32、メモリ1、およびレジスタファイルと接続されている。さらにバッファ格納手段31へアクセスすることもできる。CPUの命令実行装置は参照番号34で示され、所定の制御入力を受け取るが、これについては後述する。

【0045】

循環アドレッシングは主に、フィルタ計算を行いつつ循環バッファ内のデータ値にアクセスするために使用する。基底アドレス31cは有利には、アドレスレジスタファイルの偶レジスタに格納されているが、このアドレスレジスタファイルはデータレジスタファイル2と同様のものである。従ってパラメータ31aおよび31bは有利には、奇アドレスレジスタに格納されて、すべてのパラメータに同時にアクセスすることが可能になる。インデックスパラメータ31bはオフセットにより増分することができる。実効アドレスは循環バッファ制御装置32により定義されるが、これはインデックスパラメータ31bを基底アドレスパラメータ31cに加算することにより行う。循環バッファが占めるメモリは、例えばアドレス”基底アドレス”+”インデックス”からである。循環バッファ制御装置32は、自動的にインデックスレジスタ31bを増分するが、これはアクセスされたワードサイズにより行う。例えばワードのアクセスに対しては”1”を、そしてダブルワードのアクセスに対しては”2”を増分し、またはその他任意のオフセットで増分する。そしてインデックスレジスタ31bをバッファ長レジスタ31bと比較する。両方が等しいならば、インデックスをゼロにリセットする。オフセットを加算し、その結果得られるインデックスがバッファ長よりも長いならば、バッファ長をインデックスパラメータ31bから減算して、正しい記憶位置をポイントするようにする（ラップアラウンド機能）。従ってアドレスメカニズムは自動的に、付加的な命令なしに循環バッファをラップアラウンドする。

【0046】

図6にそのような循環バッファを示すが、このバッファはb1、b2、...、b8のメモリセルからなっている。循環バッファ制御装置が、開始インデックス（starting index）”0”を最初としてバッファへのアクセスを開始するならば、最初の2つのセルb1およびb2、ならびにこれに続くセルが一系列にアクセスされ、さらなる制御動作は必要ではない。開始インデックスとして例えば”1”が使用されるならば、またはオフセットが奇数であるならば、ワードb8を最初とするダブルワードアクセスは第2のワードとしてワードb1にアクセスしなくてはならない。ワードb1はワードb8に対して連続的に格納されていないので、ロード／格納制御装置33は命令実行装置34に第2の命令を発行して、第1

サイクル中にワードb 8にアクセスさせ、引き続きサイクル中にワードb 1にアクセスさせる。この場合のみ、循環バッファの境界を交差するデータをロードまたは格納するために、2つのアクセスサイクルが必要である。循環バッファは一般的に大きいので、”通常の”境界交差のないアクセスに比べて、上記のようなアクセスは非常に希である。

【0047】

第2のアドレッシングモード、いわゆるビット反転アドレッシング (bit reverse addressing) を図8に示す。これは高速フーリエ変換 (F A T) において主に使用されている。ここでも、メモリ1はレジスタファイル2に接続されているが、これは先の図において見たとおりである。データ処理装置は格納手段35を有しており、ビット反転パラメータ、例えば基底アドレス35c、変更子35a、およびインデックス35bを格納する。有利には、すべてのパラメータはアドレスレジスタに格納されるが、これは循環バッファアドレッシングに関連して説明したとおりである。有利には基底アドレスは偶アドレスレジスタに、変更子は第2奇アドレスレジスタの上位部分に、そしてインデックスは第2奇アドレスレジスタの下位部分に格納されており、並列なアクセスが可能になっている。

【0048】

実効アドレスを参照番号39で示すが、これは加算器36、38および反転機能装置37により自動的に計算される。メモリ1にアクセスした後、インデックスパラメータ35bは加算器36により変更子35aをもってポストインクリメント (post-increment) される。インデックスは反転機能装置37に供給され、装置37は $n = 0, \dots, m$ に対して、ビット n をビット $(m - n)$ に交換する。ここで m はインデックスパラメータ35bの長さを示す。装置37が実行する機能は、インデックスレジスタ35bのコンテンツをレジスタ中心に対して単純にミラー操作することである。0、...、15のビットを有する16ビットレジスタでは、中心は7ビットと8ビットとの間になる。反転されたインデックスパラメータは加算器38に供給されるが、加算器38はこのパラメータを基底アドレス35cに加算する。結果39はメモリ1に対するアドレスとして使用され、必要ならばそれぞれのメモリセルの物理アドレスに変換される。

【0049】

説明のために、16ビット値を有する1024ポイントの実FFTを用いると、バッファサイズは2048バイトになる。ビット反転インデックスを使用してこのアレイを1ステップずつ実行しながら通り抜けることによりバイトインデックスのシーケンスを得る：0、1024、512、1536、256...。このシーケンスはインデックス35bを0に、変更子を0x0020に初期化することにより得ることができる。

【0050】

一般的に、要求される変更子の値は、バッファサイズ/2の反転機能により得られ、ここでバッファサイズの単位はバイトである。このメカニズムは実行時間およびメモリ空間を節約する。さらにFFTアルゴリズムを、非常に書きやすくする。ビット反転アドレッシングモードがなかったら、FFTを完了するためにデータをもう1回通り抜けなくてはならない。要求される余分のサイクル数は、データポイント数に比例する。サイクル回数の全増加分は、ソフトウェア内でビット反転を実現するために使用したアルゴリズムに依存する。

【0051】

図9に示すブロックダイアグラムは、本発明による、FIRフィルタ機能を果たすためのデータ処理装置のコンフィギュレーションの例を示す。メモリ1はデータ0からデータN-1、および係数COE0からCOEN-1を含む。メモリはアドレスレジスタファイル45によりアドレスされるが、このレジスタファイルはそれぞれのポインタを含み、かつロード/格納アドレス演算に接続されている。メモリ1はまた、64ビットバスを介してデータレジスタファイル2に接続されているが、このレジスタファイルは計算された実際の係数およびデータを含む。データ処理装置は複数のバス47、48、49および50を備え、これらのバスは異なる算術演算装置において演算を実行するための異なるデータを扱う。2つの乗算器51および52が備えられており、2つの乗算を並列に実行するが、乗算器の入力側はデータレジスタファイルにバス47を介して接続されている。さらに、2つの16ビット加算器53および54が備えられており、これらはバス50を介して乗算器51および52の結果と結合される。バス48が加算

器53および54の出力側に接続されている。2つの付加的な加算器55および56が備えられており、入力側はバス48に、そして出力側はバス49に接続されている。バス47、ひいてはデータレジスタファイル2は何本かのラインを介してバス48およびバス49に接続されている。バス50およびバス49はバス48に付加的に接続されている。

【0052】

両方のアドレッシングモードとも、メモリアクセスメカニズムに依存せずに任意のデータ処理装置中に実現することができる。既に述べたが、本発明はどのようなビットサイズにも限定されるものではない。本発明は、ハーフワードが8ビットで形成される、16ビットワードサイズを有するデータ処理装置中に実現することもできる。本発明はまた、ハーフワードが32ビットで形成され、4分の1ワードが16ビットで形成される、64ビットワードサイズを有するデータ処理装置中に実現することもできる。

【図面の簡単な説明】

【図1】

本発明による、単一メモリおよびデータ処理装置の実行装置に接続されているレジスタファイルの原理的なブロック回路図である。

【図2】

レジスタファイルと単一メモリとの間の接続の実施例である。

【図3】

演算器およびレジスタファイルのレジスタへの演算器のリンクを含む、第1の実施例である。

【図4】

演算器およびレジスタファイルのレジスタへの演算器のリンクを含む、第2の実施例である。

【図5】

演算器およびレジスタファイルのレジスタへの演算器のリンクを含む、第1の実施例である。

【図6】

フラグおよび飽和装置の扱いを示す図である。

【図7】

循環バッファモードにおけるメモリアクセスを示す図である。

【図8】

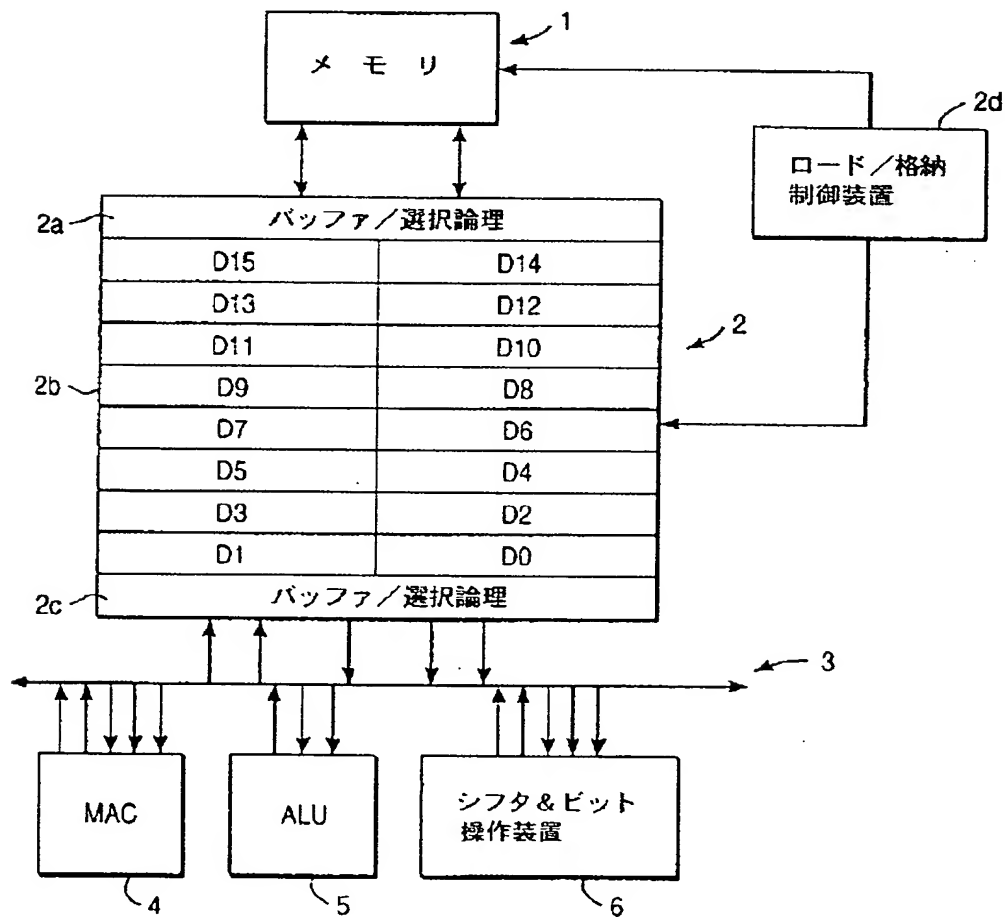
ビット反転アドレスモードを示す図である。

【図9】

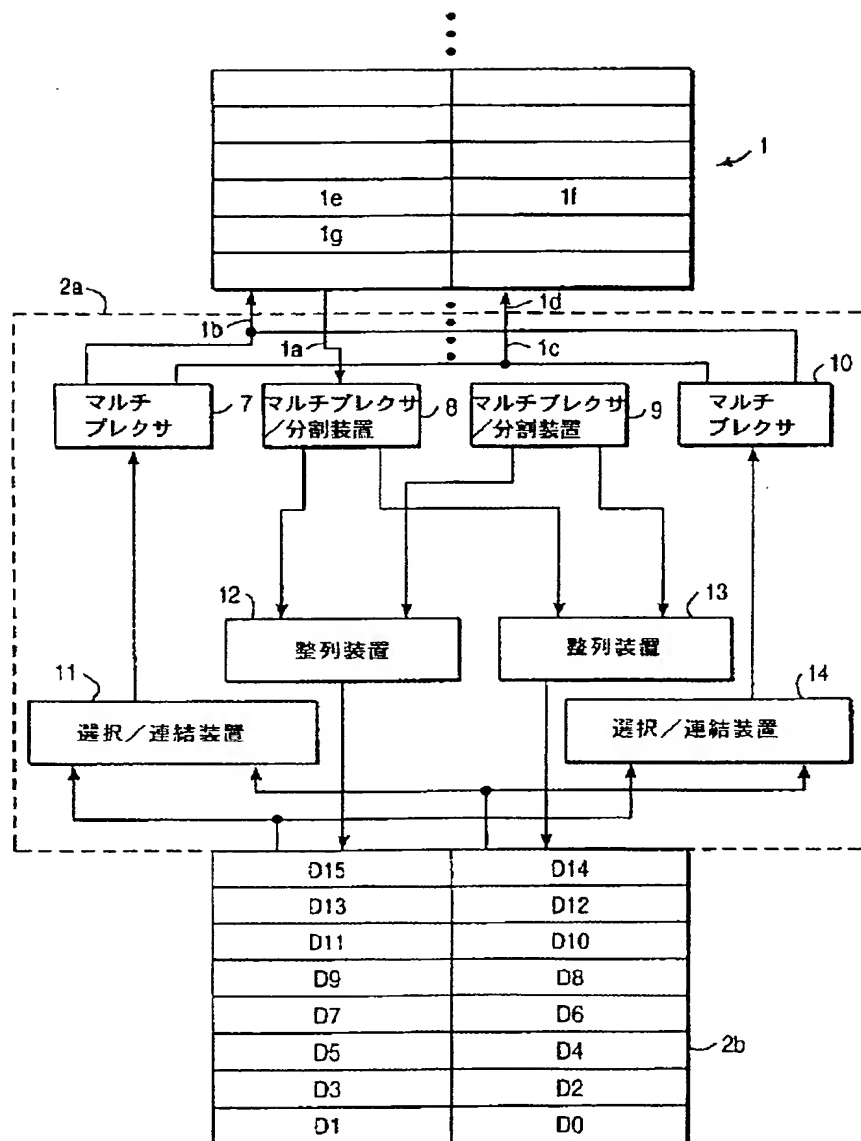
FIRフィルタ機能を実行するためのデータ処理装置の実現例を示す図である。

。

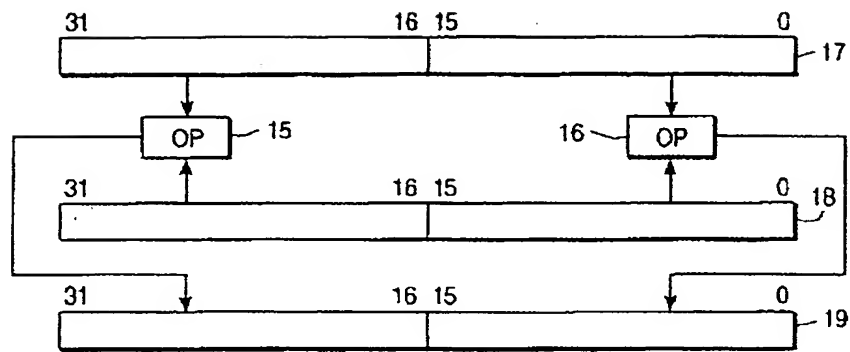
【図1】



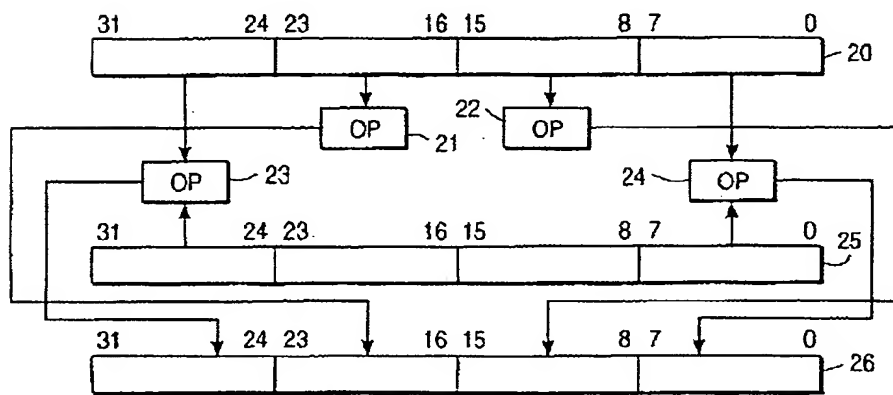
【図2】



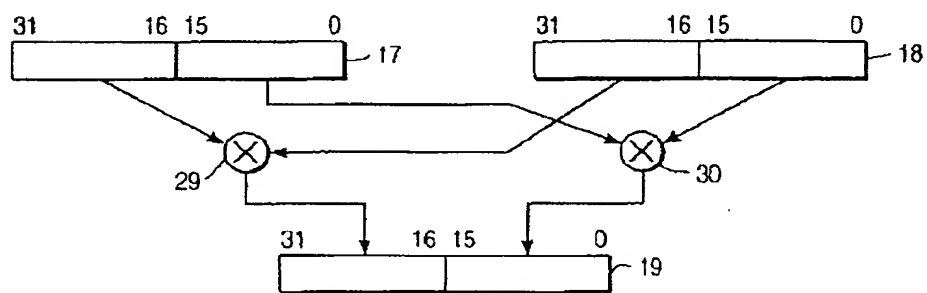
【図3】



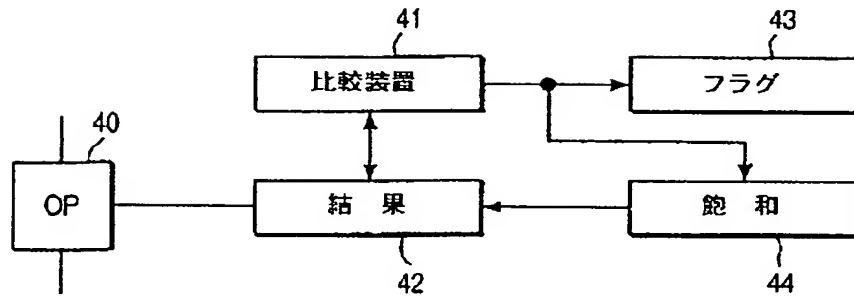
【図4】



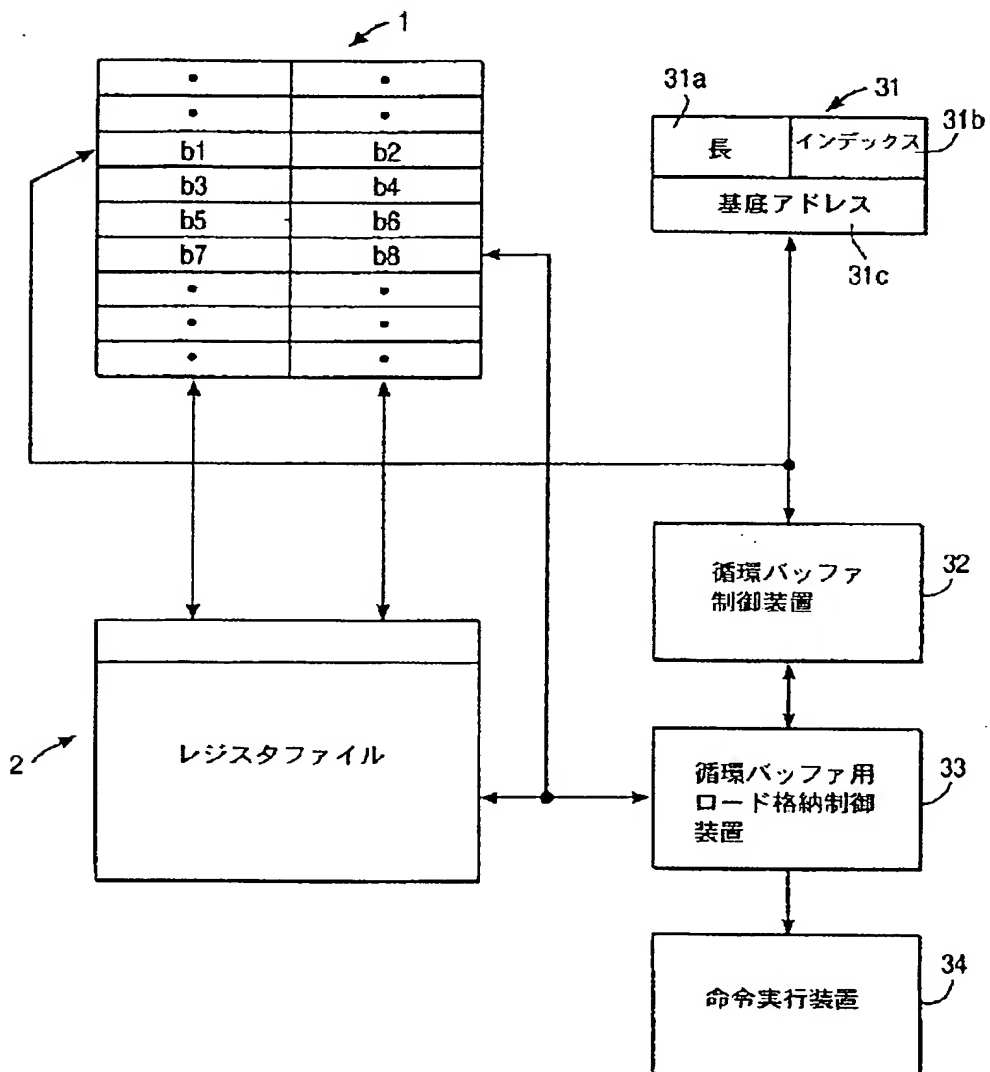
【図5】



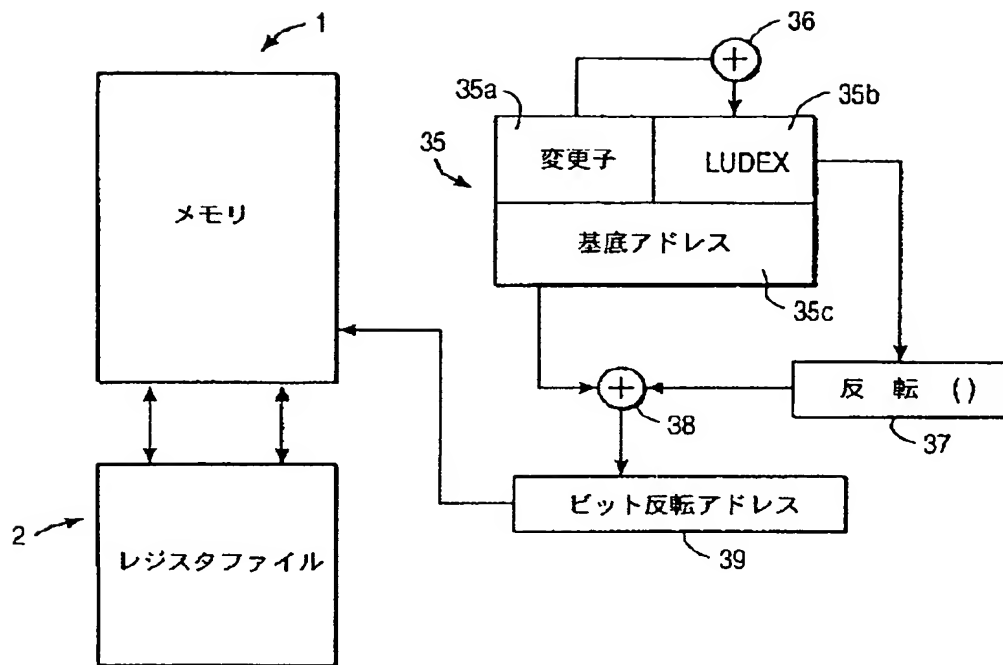
【図6】



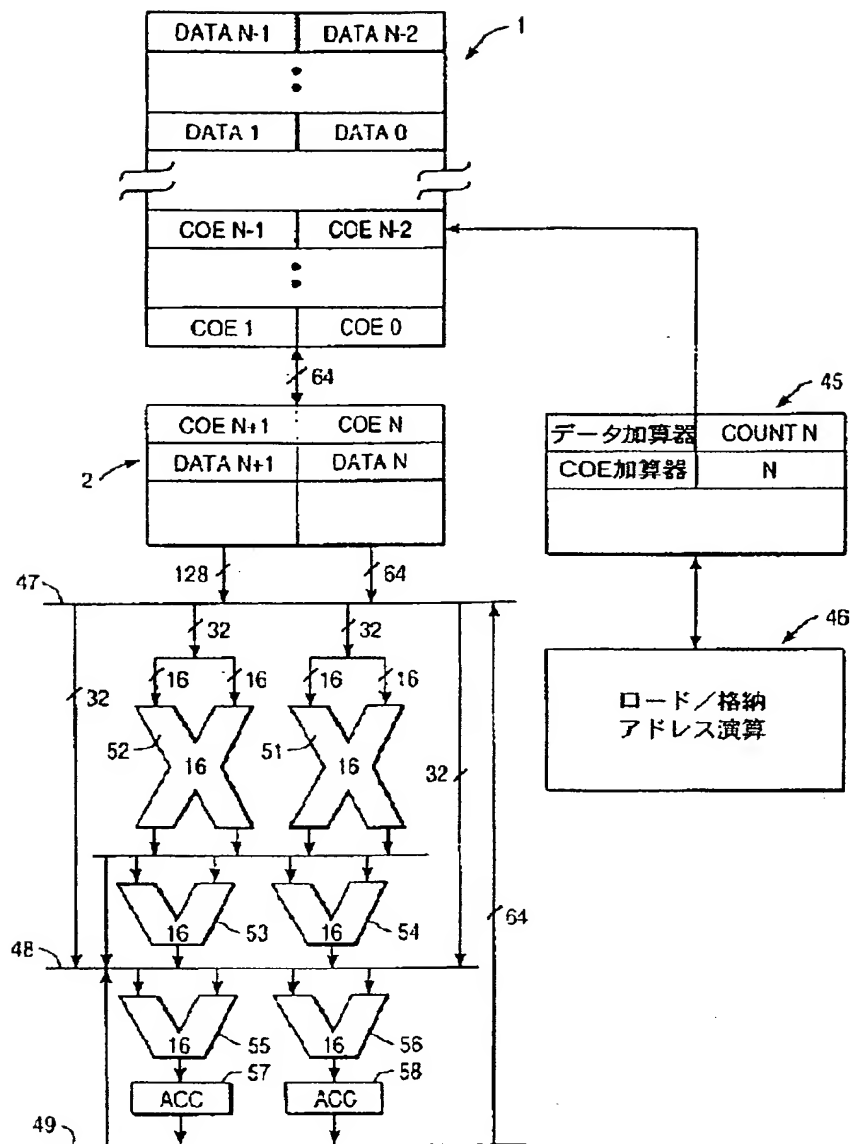
【図7】



【図8】



【図9】



【手続補正書】 特許協力条約第34条補正の翻訳文提出書

【提出日】 平成12年3月13日 (2000. 3. 13)

【手続補正1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正内容】

【特許請求の範囲】

【請求項1】 データ処理装置であって、
メモリ (1、1 e、1 f、1 g；b 1～b 8) と、
レジスタファイル (2、2 b) と、
第1レジスタロードおよび格納バッファ (2 a) と、
第1バス (1 a、1 b、1 c、1 d) と、
接続手段 (2 a、7、8、9、10、11、12、13、14) と、
ロードおよび格納制御装置 (2 d；4 6) と、
少なくとも1つの実行装置 (4、5、6；5 1、5 2、5 3、5 4、5 5、5 6) と、
第2レジスタロードおよび格納バッファ (2 c) と、
第2バス (3；4 7、4 8、5 0) とを有し、
前記レジスタファイルは、少なくとも2つのレジスタのセット (D 0～D 1 4、D 1～D 1 5；1 7、1 8；2 0、2 5) を有し、
前記第1レジスタロードおよび格納バッファは、メモリ (1、1 e、1 f、1 g；b 1～b 8) およびレジスタファイル (2、2 b) に接続されており、
前記第1バスは、レジスタロードおよび格納バッファ (2 d) とメモリ (1、1 e、1 f、1 g；b 1～b 8) とを接続しており、
前記接続手段は、第1のレジスタのセット (D 0～D 1 4；1 7；2 0) を一方のワードラインと、そして第2のレジスタのセット (D 1～D 1 5；1 8；2 5) を他方のワードラインと接続し、
前記ロードおよび格納制御ユニットは、メモリ (1、1 e、1 f、1 g；b 1

～b 8) へ、およびメモリ (1、1 e、1 f、1 g；b 1～b 8) からデータを転送し、

前記第2レジスタロードおよび格納バッファは、レジスタファイル (2、2 b) に接続されており、

前記第2バスは複数のワードラインを有しており、第2レジスタロードおよび格納バッファ (2 c) と、少なくとも1つの実行装置 (4、5、6；5 1、5 2、5 3、5 4、5 5、5 6) との間にリンクを設けるために複数ワード幅バスを形成するデータ処理装置において、

少なくとも1つの実行装置 (4、5、6；5 1、5 2、5 3、5 4、5 5、5 6) は、少なくとも2つの同等の演算装置 (1 5、1 6；2 9、3 0；2 1、2 2、2 3、2 4) を有し、

各レジスタセット (D 0～D 1 4、D 1～D 1 5；1 7、1 8；2 0、2 5) は複数のデータバイトを有し、

各演算装置 (1 5、1 6；2 9、3 0；2 1、2 2、2 3、2 4) には、レジスタセット (D 0～D 1 4、D 1～D 1 5；1 7、1 8；2 0、2 5) のうち少なくとも1つのデータバイトから供給される、
ことを特徴とするデータ処理装置。

【請求項2】 各演算装置 (1 5、1 6；2 9、3 0；2 1、2 2、2 3、2 4) は算術演算器を1つ含む、請求項1記載のデータ処理装置。

【請求項3】 各演算装置 (1 5、1 6；2 1、2 2、2 3、2 4) は論理演算器を1つ含む、請求項1記載のデータ処理装置。

【請求項4】 ロードおよび格納制御装置 (2 d；4 6) は、メモリ (1、1 e、1 f；b 1～b 8) から、または該メモリへ、あるいは少なくとも2セットのレジスタ (D 0～D 1 4、D 1～D 1 5；1 7、1 8；2 0、2 5) から、または該レジスタへ、2つの連続するワードを並列にロードまたは格納する手段を有する、請求項1記載のデータ処理装置。

【請求項5】 各レジスタセット (D 0～D 1 4、D 1～D 1 5；1 7、1 8) は少なくとも2つのハーフワードのデータを含み、

各ハーフワードは2つのデータバイトを含み、

ロードおよび格納制御装置(2d)はメモリ(1、1e、1f、1g)からワードを1つロードし、それをハーフワード2つに分割する手段(8、9、12、13)を有し、

分割された2つのハーフワードは第1のレジスタのセット(D0～D14)からの第1レジスタ、および第2のレジスタのセット(D1～D15)からの第2レジスタに格納される、請求項1記載のデータ処理装置。

【請求項6】 ロードおよび格納制御装置(2d)は、第1のハーフワードを第1のレジスタのセット(D0～D14)の第1レジスタから、第2のハーフワードを第2のレジスタのセット(D1～D15)の第2レジスタからロードし、両方のハーフワードを単一のワードに連結し、連結されたワードを第1データバス(1b、1c)を介してメモリ(1、1e、1f、1g)に格納する手段(7、10、11、14)を有する、請求項5記載のデータ処理装置。

【請求項7】 ロードおよび格納装置(2d)は、ハーフワードをレジスタの半分的一方にロードし、該レジスタの残り半分为ゼロで埋める手段をさらに有する、請求項5記載のデータ処理装置。

【請求項8】 ロードおよび格納装置(2d)は、レジスタの下位半分にハーフワードをロードし、該レジスタの上位半分为符号充填する手段をさらに有する、請求項5記載のデータ処理装置。

【請求項9】 前記レジスタファイル(2)に接続されている飽和装置(44)をさらに有し、

これにより、所定のレジスタ長を有するレジスタのコンテンツを、所定のデータ長により定義された最大値に制限し、

前記所定のデータ長は前記レジスタ長よりも短い、請求項1記載のデータ処理装置。

【請求項10】 積和演算装置をさらに有し、

該積和演算装置はレジスタファイル(2)に接続されており、少なくとも第1および第2の乗算演算器(29、30)を有し、

各レジスタセットは少なくとも2つのハーフワードのデータを含み、

第1乗算演算器(29)は第1レジスタ(17)の第1ハーフワードおよび第

2レジスタ(18)の第1ハーフワードにより供給され、

第2乗算演算器(30)は第1レジスタ(17)の第2ハーフワードおよび第2レジスタ(18)の第2ハーフワードにより供給される、請求項1記載のデータ処理装置。

【請求項11】 レジスタの各セット(D0~D14、D1~D15;17、18;20、25)はワードラインのセットの1つと接続されて、整列された、および整列されていない複数ワードアクセスを可能にしている、請求項1記載のデータ処理装置。

【請求項12】 循環バッファを定義するための手段(31、32、33)をさらに有し、前記循環バッファはバッファ基底アドレス(31c)およびバッファエンドアドレス(31a、31b)をメモリ(1;b1~b8)内に有する、請求項1記載のデータ処理装置。

【請求項13】 複数ワードにアクセスするための手段をさらに有し、該複数ワードは部分的にはバッファエンドアドレス(31a、31b)に格納され、部分的にはバッファ基底アドレス(31c)に格納されている、請求項12記載のデータ処理装置。

【請求項14】 バッファ基底アドレス(31c)およびバッファエンドアドレス(31a、31b)はアドレスレジスタに格納されている、請求項12記載のデータ処理装置。

【請求項15】 ビット反転アドレッシング手段(35、36、37、38、39)をさらに有し、

該手段は基底アドレス(35c)、変更子(35a)およびインデックス(35b)用の記憶手段(35)を備え、

前記ビット反転アドレッシング手段は、ビット反転装置(37)へインデックスを供給する手段をさらに有し、

前記ビット反転装置の結果は加算手段(38)へ供給され、

該加算手段は供給された結果を基底アドレス(35a)に加算して、メモリ(1)および各アクセス後に変更子(35a)をインデックス(35b)に加算する手段(36)をアドレスする、請求項1記載のデータ処理装置。

【請求項16】 格納手段(35)はアドレスレジスタを有する、請求項15記載のデータ処理装置。

【請求項17】 ロードおよび格納制御装置(2d;46)は、ワードを1つメモリ(1)からロードし、該ワードを複数の部分ワードに分割する手段を有し、

各部分ワードは各レジスタのセット(D0~D14、D1~D15;17、18;20、25)に属するレジスタの1つに格納されている、請求項1記載のデータ処理装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

他のシステムでは、動作速度を上げるためにコ・プロセサを使用している。コ・プロセサは主中央演算処理装置(CPU)のどのレジスタも共有しない。従ってCPUはコ・プロセサのレジスタをロードしなくてはならず、それにより動作速度が大幅に下がり、レジスタの使用が制限される。

EP-A-0 473 805 号明細書は、64ビットデータバスに接続されている32ビット算術論理演算装置(ALU)を有するコンピュータシステムを開示している。複数の汎用レジスタが設けられており、各レジスタは32ビットであり、2つのグループにまとめられている。データバス上に存在する2つの32ビットデータワードを伝送し、汎用レジスタの2つのグループ内に格納することができる。そこから2つのデータワードを、2つのオペランドレジスタを介してALUに伝送することができる。

EP-A-0 679 991 号明細書は、可変ビット幅のオペランドデータを使用して演算を実行するデータプロセサを開示している。これにより並列パフォーマンスが改良されているが、この改良は固定ビット幅のオペランドをいくつかの部分オペランド領域に区切り、データ依存性をチェックし、これらの領域内のデータを相

互に独立にタグをつけ、そしてフォワーディング (forwarding) することにより実現されている。可変幅レジスタオペランドストラクチャは、プロセッサがデータ依存性を解決するのを助ける。これはオペランドがデータの型に関わりなく、順番付けバッファによりタグをつけられ、使用可能になるとデータを供給されるからである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】

本発明によるデータ処理装置は、2つのデータワードを1サイクルで読み出すことを可能にする特別の命令をサポートする。2つの別個のメモリ装置を有するDSPに対して、本発明によるデータ処理装置は単一メモリ装置を有する。2つのメモリ装置を有するDSPでは、データが「間違った」メモリに格納されている場合、1つのメモリから別のメモリへデータを転送しなければならない。本発明によるデータ処理装置では、その必要はない。2つのデータワードへのアクセスを制限するのは、データワードが連続的なオーダーで格納されていなくてはならない、ということだけである。一方、単一メモリだけを使用することにより、データ処理装置にはRISCまたはCISCプロセッサのすべての利点および汎用性が備わる。従ってデータをメモリ内の任意の記憶位置に格納することができ、これは例えば”C”プログラミングにとって非常に便利である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】

図3では、ワードとして32ビットを有する2つのレジスタ17および18が

、2つの演算装置（operator units）15および16に接続されている。これらの演算装置は同一であり、実行装置それぞれにより与えられる任意の機能を実行することができる。例えば、これらの演算装置は加算器であっても、乗算器、シフタであってもよく、比較器、AND/OR演算器（operator）等のような任意の論理装置であってもよい。入力として、各演算器はハーフワードを受け取るが、この例ではハーフワードは16ビット幅である。従って、レジスタ17の上位半分は演算装置15の第1入力側と接続され、レジスタ17の下位半分は演算装置16の第1入力側と接続されている。一方、レジスタ18の上位半分は演算装置15の第2入力側と接続され、レジスタ18の下位半分は演算装置16の第2入力側と接続されている。演算装置は少なくともハーフワード幅の出力側を有する。演算装置15の出力側は第3レジスタ19の上位半分と接続され、演算装置16の出力側はレジスタ19の下位ハーフワードと接続されている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】

データまたはアドレスレジスタへの、パックされた値のロードおよび格納は、上で述べたそれぞれのロードおよび格納命令によりサポートされている。そしてパックされたオブジェクトを、特別なパックされた算術命令のセットにより並列に処理することができるが、算術命令のセットは加算、減算、乗算、除算、等の算術演算を行う。例えば、乗算命令は2つの16ビットの乗算を並列に行う。これを図6に示す。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】

図7にそのような循環バッファを示すが、このバッファはb1、b2、...、b8のメモリセルからなっている。循環バッファ制御装置が、開始インデックス (starting index) ” 0 を最初としてバッファへのアクセスを開始するならば、最初の2つのセルb1およびb2、ならびにこれに続くセルが一系列にアクセスされ、さらなる制御動作は必要ではない。開始インデックスとして例えば” 1 ” が使用されるならば、またはオフセットが奇数であるならば、ワードb8を最初とするダブルワードアクセスは第2のワードとしてワードb1にアクセスしなくてはならない。ワードb1はワードb8に対して連続的に格納されていないので、ロード／格納制御装置33は命令実行装置34に第2の命令を発行して、第1サイクル中にワードb8にアクセスさせ、引き続くサイクル中にワードb1にアクセスさせる。この場合のみ、循環バッファの境界を交差するデータをロードまたは格納するために、2つのアクセスサイクルが必要である。循環バッファは一般的に大きいので、” 通常の ” 境界交差のないアクセスに比べて、上記のようなアクセスは非常に希である。

【手続補正7】

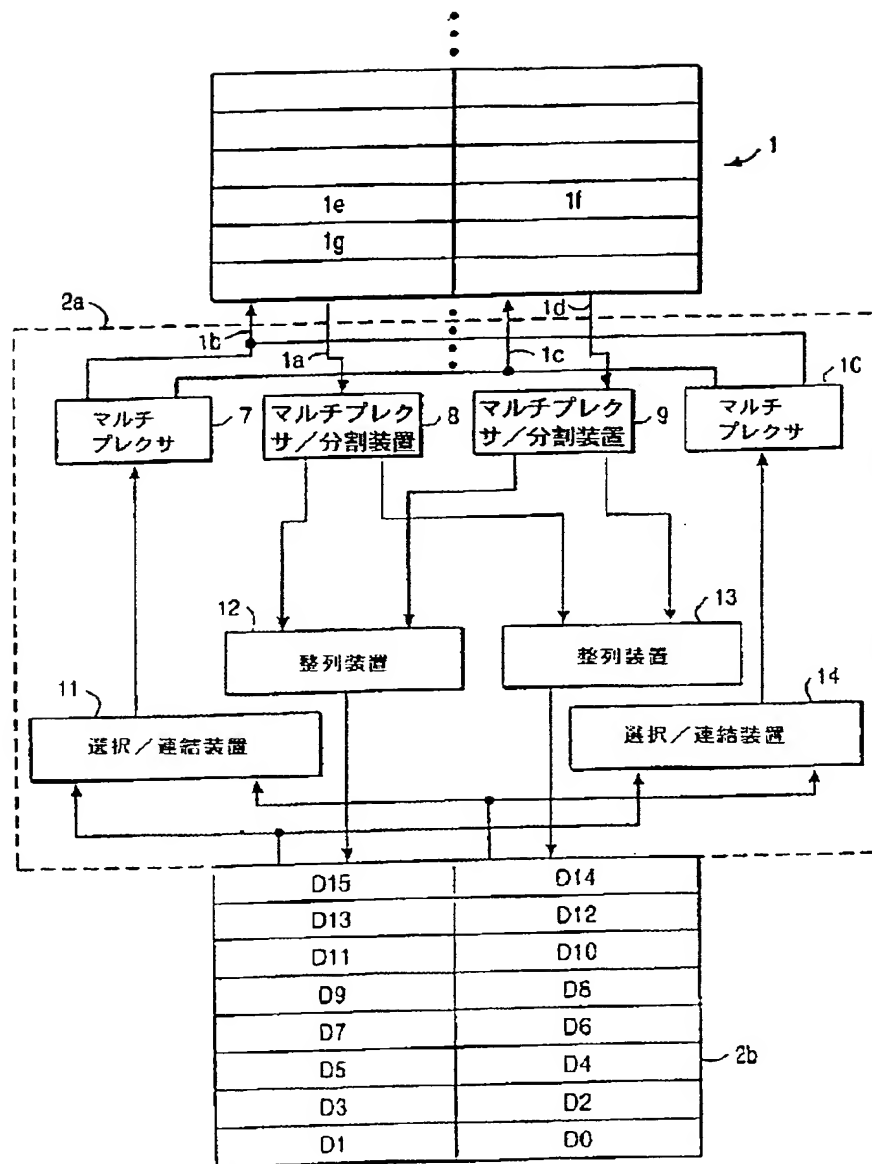
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【手続補正 8】

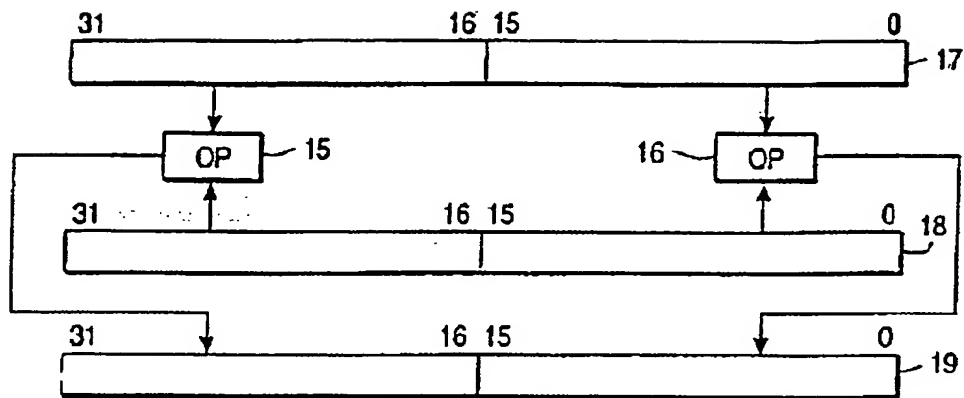
【補正対象書類名】 図面

【補正対象項目名】 図 3

【補正方法】 変更

【補正内容】

【図3】



【手続補正9】

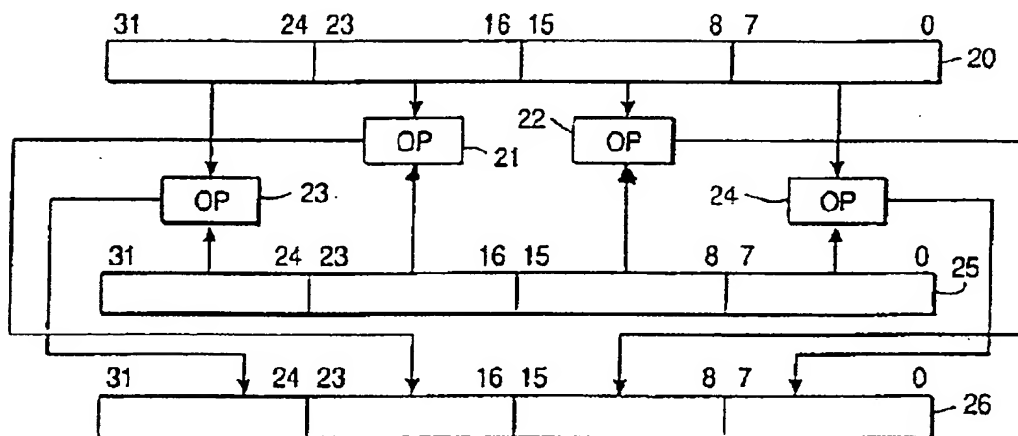
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



【手続補正10】

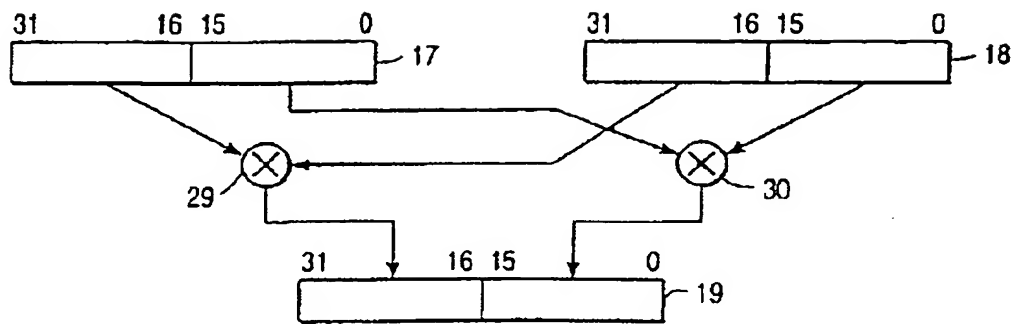
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



【手続補正11】

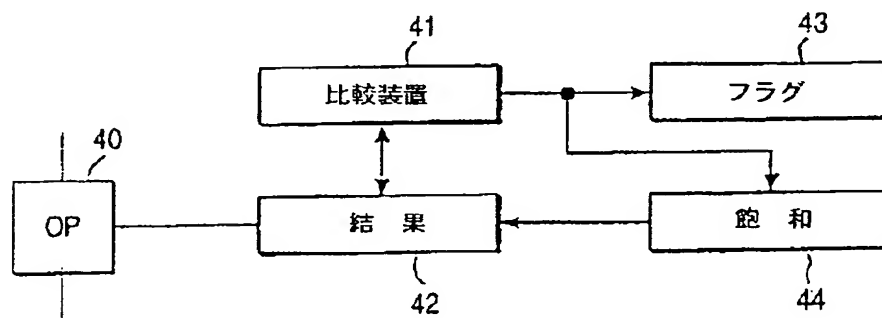
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】



【手続補正12】

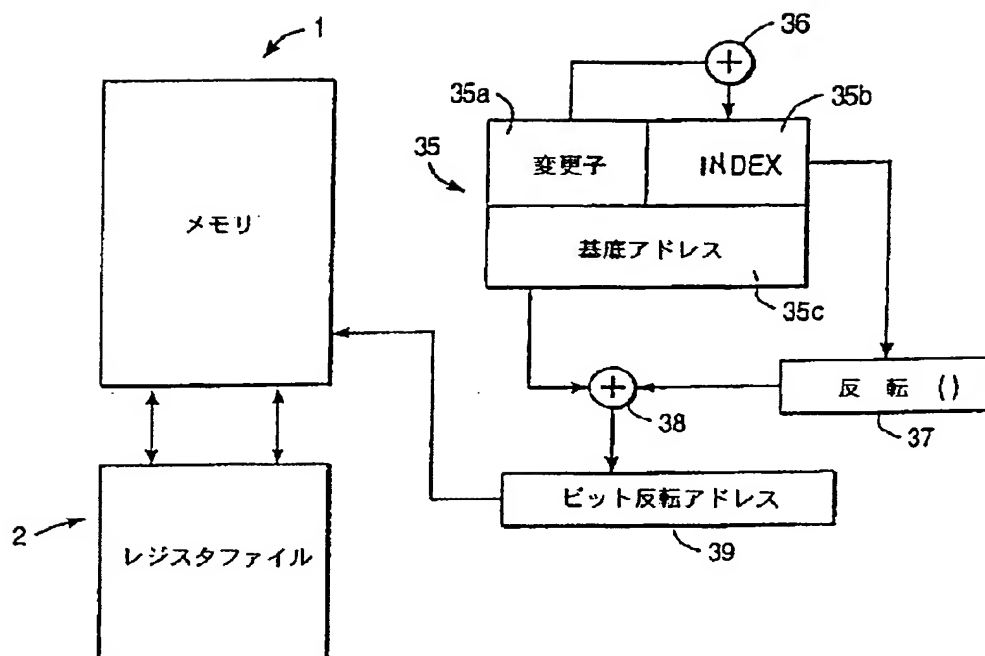
【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



【手続補正13】

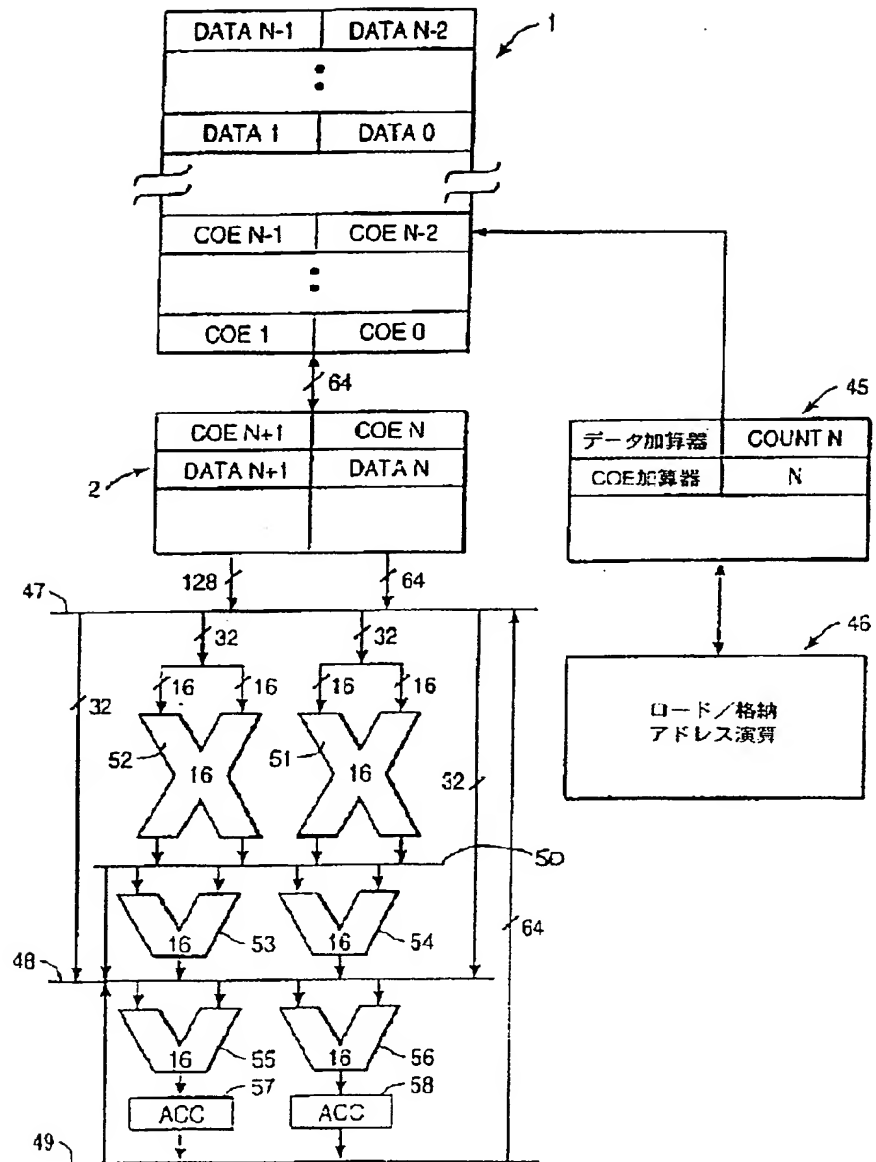
【補正対象書類名】図面

【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

Int. Patent Application No.

PCT/US 98/18574

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 G06F9/30 G06F9/312		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 473 805 A (IBM) 11 March 1992	1-4, 13, 19
Y	see the whole document	5, 6
A	US 4 992 934 A (PORTANOVA GREGORY A ET AL) 12 February 1991 see column 15, line 11 - column 16, line 64; figures 5-7	1-4, 13, 19
Y	EP 0 679 991 A (ADVANCED MICRO DEVICES INC) 2 November 1995 see column 3, line 12 - line 50 see column 7, line 41 - line 58 see column 8, line 15 - line 26 see column 11, line 9 - line 31 see column 12, line 48 - column 13, line 5 see column 18, line 29 - column 19, line 25	5
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see specification) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "B" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
23 December 1998		27.05.99
Name and mailing address of the ISA European Patent Office, P.O. Box 6818 Patentplan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3018		Authorized officer DASKALAKIS T.

Form PCT/ISA/2:0 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

national Application No
PCT/US 98/18574

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 96 17291 A (INTEL CORP) 6 June 1996 see page 9, paragraph 4 - page 11, paragraph 1 see page 16, paragraph 3 - page 17, paragraph 2 -----	6

INTERNATIONAL SEARCH REPORT

international application No.
PCT/US 98/18574

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 8.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-6, 13, 19

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM PCT/BAI 210

1. Claims: 1-6, 13, 19

Data processing unit capable to load or store from or to memory to or from the register file two consecutive words in parallel.

2. Claim : 7

Data processing unit comprising a saturation unit

3. Claims: 8-12

Data processing unit comprising sliced arithmetic, logical or multiplying-accumulating units

4. Claims: 14-16

Data processing unit comprising means to define a circular buffer in memory

5. Claims: 17-18

Data processing unit comprising bit reverse addressing means

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 98/18574

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0473805 A	11-03-1992	JP 2101713 C	22-10-1996
		JP 4260957 A	16-09-1992
		JP 7120279 B	20-12-1995
		US 5754875 A	19-05-1998
US 4992934 A	12-02-1991	CA 1278382 A	27-12-1990
		EP 0272198 A	22-06-1988
		JP 63192135 A	09-08-1988
EP 0679991 A	02-11-1995	US 5590352 A	31-12-1996
		JP 7295811 A	18-11-1995
		US 5737629 A	07-04-1998
WO 9617291 A	06-06-1996	AU 4464596 A	19-06-1996
		BR 9509845 A	30-12-1997
		CN 1173230 A	11-02-1998
		EP 0795153 A	17-09-1997
		JP 10512070 T	17-11-1998
		US 5802336 A	01-09-1998
		US 5881275 A	09-03-1999
		US 5819101 A	06-10-1998

フロントページの続き

(71)出願人 1730 North First Street,
San Jose, CA, USA

(72)発明者 ダニエル マーティン
アメリカ合衆国 カリフォルニア マウン
テン ヴュー シャワーズ ドライヴ ナ
ンバー ビー-451 49

Fターム(参考) 5B033 AA00 BD04 DD01 DD09